

MENU **SEARCH** **INDEX** **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-106147

(43)Date of publication of application : 19.06.1984

(51)Int.Cl.

H01L 27/10
G11C 17/00

(21)Application number : 57-217386

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.12.1982

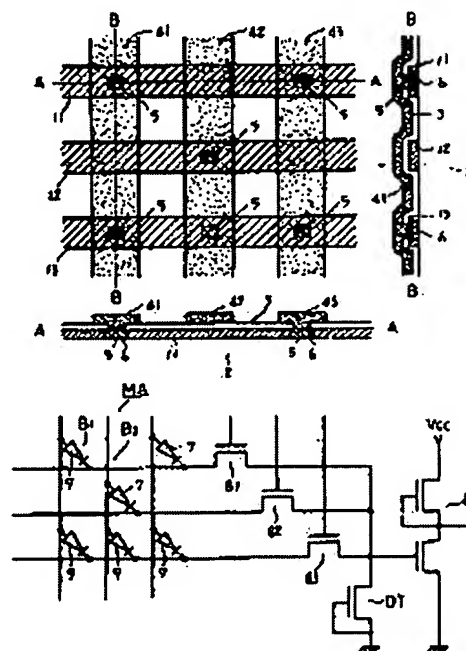
(72)Inventor : KITAMURA YUJI

(54) MASK ROM

(57)Abstract:

PURPOSE: To obtain a high integration density and high speed read only memory by arranging a plurality of polycrystalline silicon layer belts and a plurality of conductive layer belts which are orthogonally crossing through an insulating film, providing contacts to the intersecting points of them in accordance with stored data and simultaneously by forming the P-N junctions to the contact.

CONSTITUTION: In the case of reading the bit B1 of memory array MA, a voltage is given only to the conductive layer 41 and the conductive layers 42, 43 are set to 0V or open. When only the switching transistor 81 is opened, an input of read inverter circuit IN becomes "1" and "0" is output as the output signal. In the case of reading the bit B2 of memory array MA, a voltage is applied only to the conductive layer 42 and simultaneously only the switching transistor 81 is turned ON. In this case, the silicon layer 11 becomes open since contact does not exist at the position of bit B2 but an input of the read inverter circuit IN becomes "0" due to the depression type transistor DT and "1" is output. As described above, content of memory array MA can be read.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

BEST AVAILABLE COPY



⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—106147

⑤ Int. Cl.³
H 01 L 27/10
G 11 C 17/00

識別記号

庁内整理番号
6655—5 F
6549—5 B

⑬ 公開 昭和59年(1984)6月19日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ マスク ROM

守口市京阪本通 2 丁目 18 番地三
洋電機株式会社内

⑯ 特 願 昭57—217386

⑰ 出 願 人 三洋電機株式会社

⑱ 出 願 昭57(1982)12月10日

守口市京阪本通 2 丁目 18 番地

⑲ 発 明 者 北村裕二

⑳ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称 マスク ROM

2. 特許請求の範囲

(1) 基板上に互に平行して設けられた N 型を呈する多数本の帯状多結晶シリコン層と、該シリコン層上に絶縁膜を介して互に平行して設けられた複数本の帯状導電層と、から成り、上記シリコン層と導電層との交点に記憶せしめるべき情報に応じて適宜コンタクトを形成すると共に、そのコンタクトを形成した箇所のシリコン層に対して逆導電型の不純物を導入して P N 接合を形成した事を特徴とするマスク ROM。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル情報を記憶せしめるマスク ROM に関する。

〔従来技術〕

現存するマスク ROM の殆どは MOS トランジスタを主構成要素としているので、ソース、ドレインに該当する拡散層が必要であり、セル面積も

目と大きくなる上に読み出しスピードも遅い欠点があった。

〔発明の目的〕

本発明はこのような問題点に鑑みて為されたものであつて、メモリアレイ中には MOS トランジスタを含まず、高集積度で高速読み出しが可能なマスク ROM を提供することを目的としている。

〔発明の構成〕

本発明は、多数本の帯状多結晶シリコン層と多数本の帯状導電層との夫々を絶縁膜を介して交叉せしめ、その交点に記憶情報に応じて適宜コンタクトを設けると共にそのコンタクトに P N 接合を形成したところに特徴を有する。

〔実施例〕

第 1 図は本発明マスク ROM の平面図並びにその A—A、B—B 線に沿う断面図を示しており、図 1(a) は絶縁性の基板、例えば単結晶シリコン表面に酸化膜等の絶縁膜を有する基板(2)表面に設けた帯状の多結晶シリコン層で、互に所定の間隔を設けて平行に配置されている。尚、この多結晶シ

リコン層101213の厚みは約 2000\AA で、 $10^{20}/\text{cm}^3$ 程度焼がドーブされていてN型を呈する。13はこの多結晶シリコン層101213上も含めて基板12全面に被着された酸化シリコン膜等の絶縁膜、1014はこの絶縁膜13上で上記帯状多結晶シリコン層101213とは直交する方向に配設されたアルミニウム等の金属材料から成る帯状の導電層で、上記多結晶シリコン層101213と同様に所定間隔を有して平行に設けられている。1515…はこの導電層1014と多結晶シリコン層101213との交点位置にROMに書き込むべき情報に対応して適宜設けられたコンタクトで、天々の断面図から明らかな如く、導電層1014の形成に先立つて絶縁膜13に穿たれたコンタクト孔を介して両層1014、101213が電気的に接している。1616…はこの各コンタクト1515…からP型の不純物を導入する事に依つて形成されたP型領域で、多結晶シリコン層101213の厚みが 2000\AA で、その不純物濃度が $10^{20}/\text{cm}^3$ の場合であれば $2 \times 10^{15}/\text{cm}^3$ 以上のボロンの注入に依つてコンタクト周縁をP型に変更する事が出

導電層1014にのみ電位を与えて他の導電層1014はU_V又はU_{Pen}とし、また上端のスイッチングトランジスタ101のみをONとすると、読み出しインバータ回路(IN)の入力は“1”となり、出力信号としては“0”が出力される。また例えばメモリアレイ(MA)の中央上端のビット(B2)を読み出す場合は、中央の導電層1014にのみ電位を与えると同時に上端のスイッチングトランジスタ101のみをONとする。この時はこのビット(B2)位置にはコンタクトが存在しないので上端のシリコン層101はU_{Pen}となるが、デプレッション型トランジスタ(DT)の存在に依つて読み出しインバータ回路(IN)の入力は“0”となり、“1”が出力される。このようにしてメモリアレイ(MA)の内容が適宜読み出される事となる。

〔発明の効果〕

本発明は以上の説明から明らかな如く、ROMのデータとして書き込まれた内容は帯状の多結晶シリコン層と帯状の導電層との交点でのコンタクトの有無に依つて区別される構成であるので、メ

来る。

この第1図は簡単な実施例として 3×3 ビットのメモリアレイを説明したが、この 3×3 ビットのメモリアレイの読み出し回路を第2図に示す。第1図の説明から明らかな如く、シリコン層101213と導電層1014との交点にコンタクト151515…が存在する箇所は情報として“1”、コンタクトのない箇所は“0”が対応しており、またコンタクト151515…箇所にはP型領域161616…がN型のシリコン層101213と接して設けられているので、ダイオード(7171)…として表わす事が出来る。従つて第2図の左側が第1図で示したメモリアレイ(MA)で各シリコン層101213は夫々第1、第2、第3の読み出しスイッチングトランジスタ101101101を介して読み出しインバータ回路(IN)に連つている。尚(DT)は各スイッチングトランジスタ101101101の一括接続点に連つた高抵抗のデプレッション型トランジスタである。

斯る構成に於て、例えばメモリアレイ(MA)の左上端のビット(B1)を読み出す場合は、左端の

メモリセルの占める面積がMOS型トランジスタを用いる従来品に比し格段に少くなり、マスクROMの集積度を高める事が出来る。またメモリセルは単結晶シリコン表面に設ける拡散層を用いていないので、データの読み出し時の充放電が1本の帯状多結晶シリコンと1本の帯状導電層との2本の配線のみで済むので読み出し速度の向上が期待出来る。

4. 図面の簡単な説明

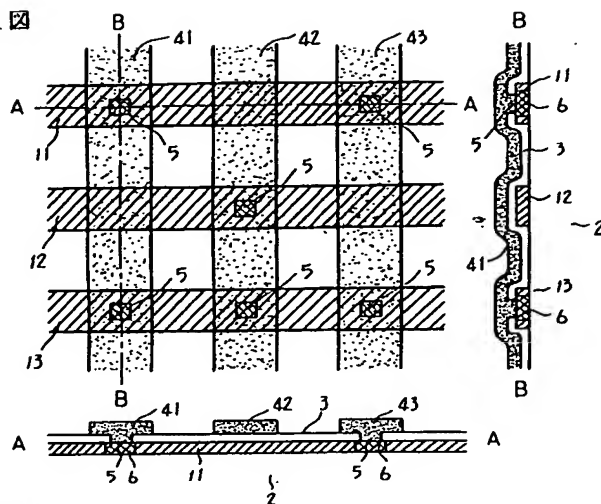
第1図は本発明マスクROMの平面図、並びにそのA-A、B-B線に沿う断面図、第2図は本発明マスクROM並びにその読み出し回路の電気回路図であつて、101213は多結晶シリコン層、1014は導電層、15はコンタクト、16はP型領域、(MA)…メモリアレイ、101101101は読み出しスイッチングトランジスタ、を夫々示している。

出願人 三洋電機株式会社

代理人 弁理士 佐野 静夫



第1図



第2図

